

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-73102

(43) 公開日 平成9年(1997) 3月18日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/133	5 5 0	1/133	5 5 0
G 0 9 G 3/36			G 0 9 G 3/36	
H 0 1 L 27/12			H 0 1 L 27/12	A
29/786			29/78	6 1 7 N
審査請求 未請求 請求項の数19 O L (全 23 頁)				

(21) 出願番号 特願平8-46511

(22) 出願日 平成8年(1996) 3月4日

(31) 優先権主張番号 特願平7-164148

(32) 優先日 平7(1995) 6月29日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 足立 昌浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 坂本 弘美

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 原 謙三

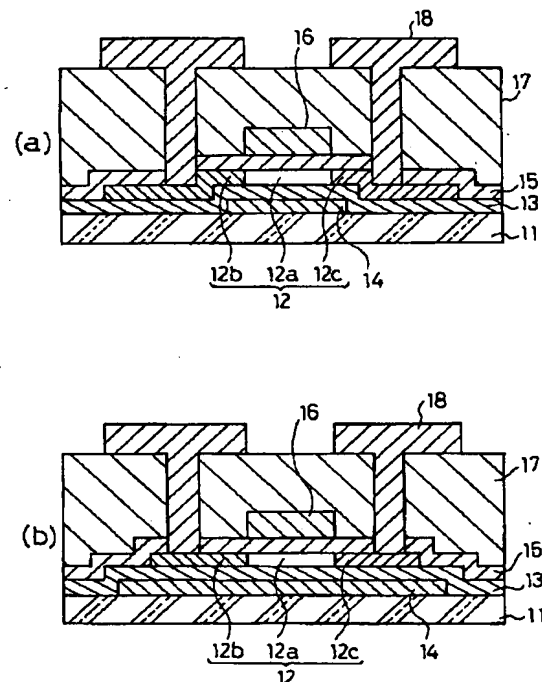
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ回路および画像表示装置

(57) 【要約】

【課題】 動作速度、保持特性等の点で薄膜トランジスタ回路の特性を大幅に向上させる。

【解決手段】 絶縁性基板 11 上に複数の薄膜トランジスタを形成して薄膜トランジスタ回路を構成する。この薄膜トランジスタにおいて、活性層となる多結晶シリコン薄膜 12 のチャネル領域 12a を間においてゲート電極 16 と対向するように導電性電極 14 を配置する。また、この導電性電極 14 に同一の一定電圧を印加する。導電性電極 14 への電圧の印加により閾値電圧をシフトさせれば、nチャネル型トランジスタの閾値電圧の絶対値とpチャネル型トランジスタの閾値電圧の絶対値とをほぼ等しくすることができる。また、薄膜トランジスタのチャネル長、薄膜トランジスタが構成する回路の種類、薄膜トランジスタに印加される電圧等に応じて閾値電圧を適正に設定することができる。



## 【特許請求の範囲】

【請求項1】絶縁性基板上に形成された複数の薄膜トランジスタにより構成され、活性層のチャネル領域を間においてゲート電極と対向するように導電性電極が配置されており、この導電性電極に同一の一定電圧が印加されることを特徴とする薄膜トランジスタ回路。

【請求項2】上記導電性電極は、nチャネル型の薄膜トランジスタまたはpチャネル型の薄膜トランジスタのいずれか一方にのみ配置されていることを特徴とする請求項1に記載の薄膜トランジスタ回路。

【請求項3】上記導電性電極は、所定の範囲にチャネル長の設定された薄膜トランジスタにのみ配置されていることを特徴とする請求項1に記載の薄膜トランジスタ回路。

【請求項4】上記導電性電極は、スタティック回路を構成する薄膜トランジスタまたはダイナミック回路を構成する薄膜トランジスタのいずれか一方にのみ配置されていることを特徴とする請求項1に記載の薄膜トランジスタ回路。

【請求項5】上記導電性電極は、同一の駆動電圧で駆動される回路を構成する薄膜トランジスタにのみ配置されていることを特徴とする請求項1に記載の薄膜トランジスタ回路。

【請求項6】上記導電性電極は、アナログ回路を構成する薄膜トランジスタまたはデジタル回路を構成する薄膜トランジスタのいずれか一方にのみ配置されていることを特徴とする請求項1に記載の薄膜トランジスタ回路。

【請求項7】絶縁性基板上に形成された複数の薄膜トランジスタにより構成され、活性層のチャネル領域を間においてゲート電極と対向するように複数の導電性電極が配置されており、これらの導電性電極にそれぞれ異なる一定電圧が印加されることを特徴とする薄膜トランジスタ回路。

【請求項8】上記複数の導電性電極は、nチャネル型の薄膜トランジスタとpチャネル型の薄膜トランジスタとに個別に配置されていることを特徴とする請求項7に記載の薄膜トランジスタ回路。

【請求項9】上記複数の導電性電極は、チャネル長に応じてグループ分けされた薄膜トランジスタのグループ別に配置されていることを特徴とする請求項7に記載の薄膜トランジスタ回路。

【請求項10】上記複数の導電性電極は、スタティック回路を構成する薄膜トランジスタとダイナミック回路を構成する薄膜トランジスタとで個別に配置されていることを特徴とする請求項7に記載の薄膜トランジスタ回路。

【請求項11】上記複数の導電性電極は、駆動電圧に応じてグループ分けされた回路を構成する薄膜トランジスタのグループ別に配置されていることを特徴とする請求項7に記載の薄膜トランジスタ回路。

【請求項12】上記複数の導電性電極は、アナログ回路を構成する薄膜トランジスタとデジタル回路を構成する薄膜トランジスタとで個別に配置されていることを特徴とする請求項7に記載の薄膜トランジスタ回路。

【請求項13】上記複数の導電性電極は、チャネル長に応じてグループ分けされた薄膜トランジスタのいずれか一部のグループにのみ配置されていることを特徴とする請求項7に記載の薄膜トランジスタ回路。

【請求項14】上記複数の導電性電極は、駆動電圧に応じてグループ分けされた回路を構成する薄膜トランジスタのいずれか一部のグループにのみ配置されていることを特徴とする請求項7に記載の薄膜トランジスタ回路。

【請求項15】上記導電性電極は、少なくとも上記チャネル領域およびその周辺部のみにおいて上記活性層に面するように、面積かつ配置位置が定められていることを特徴とする請求項1または7に記載の薄膜トランジスタ回路。

【請求項16】上記導電性電極は、少なくとも上記チャネル領域を含む全ての領域において上記活性層に面するように、面積かつ配置位置が定められていることを特徴とする請求項1または7に記載の薄膜トランジスタ回路。

【請求項17】上記活性層は、空乏層の最大幅の2倍以下の膜厚で形成された半導体薄膜であることを特徴とする請求項1または7に記載の薄膜トランジスタ回路。

【請求項18】上記導電性電極は、遮光性材料からなることを特徴とする請求項1または7に記載の薄膜トランジスタ回路。

【請求項19】マトリクス状に設けられた複数の表示用の画素と、  
上記画素に映像信号を列単位で与える映像信号付与手段と、  
上記画素への映像信号の書き込みを行単位で制御する書込制御手段とを備え、  
上記映像信号付与手段および上記書込制御手段のうち少なくともいずれか一方が、上記請求項1ないし18のいずれかに記載の薄膜トランジスタ回路を有していることを特徴とする画像表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の画像表示装置における駆動回路に好適な薄膜トランジスタ回路およびその薄膜トランジスタ回路を用いたアクティブマトリクス駆動方式の画像表示装置に関するものである。

## 【0002】

【従来の技術】現在、広く実用化されている画像表示装置の1つとして、アクティブマトリクス駆動方式の画像表示装置がよく知られている。この種の画像表示装置は、図19(a)に示すように、画素アレイ101と、

走査信号線駆動回路102と、データ信号線駆動回路103とを備えている。

【0003】走査信号線駆動回路102は、同期信号CKG・GPSおよびスタートパルスSPGを用いて、画素アレイ101における後述の各走査信号線 $GL_j$ 、 $GL_{j+1}$ …に対して走査信号を出力する。一方、データ信号線駆動回路103は、同期信号CKSおよびスタートパルスSPSを用いて、入力された映像信号DATを後述のデータ信号線 $SL_i$ 、 $SL_{i+1}$ …に転送（または、増幅して転送）する。

【0004】画素アレイ101においては、多数の走査信号線 $GL_j$ 、 $GL_{j+1}$ …と多数のデータ信号線 $SL_i$ 、 $SL_{i+1}$ …とが交差する状態で配されており、隣接する2本の走査信号線 $GL$ ・ $GL$ と隣接する2本のデータ信号線 $SL$ ・ $SL$ とで包囲された部分に画素（図中、PIXにて示す）104が設けられている。このように、画素104…は、画素アレイ101内でマトリクス状に配列されており、1列あたりに1本のデータ信号線 $SL$ が割り当てられ、1行あたりに1本の走査信号線 $GL$ が割り当てられている。

【0005】液晶表示装置の場合、各画素104は、図19(b)に示すように、スイッチング素子であるトランジスタTと、液晶容量 $C_L$ を有する画素容量 $C_p$ とによって構成されている。一般に、アクティブマトリクス型液晶表示装置における画素容量 $C_p$ は、表示を安定させるために、液晶容量 $C_L$ と並行に付加された補助容量 $C_s$ を有している。補助容量 $C_s$ は、液晶容量 $C_L$ やトランジスタTのリーク電流、トランジスタTのゲート・ソース間容量、画素電極・信号線間容量等の寄生容量による画素電位の変動、液晶容量 $C_L$ の表示データ依存性等の影響を最小限に抑えるために必要となる。

【0006】トランジスタTのゲートは、走査信号線 $GL_j$ に接続されている。また、液晶容量 $C_L$ および補助容量 $C_s$ の一方の電極は、トランジスタTのドレインおよびソースを介してデータ信号線 $SL_i$ に接続されている。液晶容量 $C_L$ の他方の電極は、液晶セルを挟んで対向電極に接続され、補助容量 $C_s$ の他方の電極は、全画素に共通の図示しない共通電極線（Cs on Common構造の場合）、または隣接する走査信号線 $GL$ （Cs on Gate構造の場合）に接続されている。

【0007】多数の走査信号線 $GL_j$ 、 $GL_{j+1}$ …は、走査信号線駆動回路102に接続され、多数のデータ信号線 $SL_i$ 、 $SL_{i+1}$ …は、データ信号線駆動回路103に接続されている。また、走査信号線駆動回路102およびデータ信号線駆動回路103は、それぞれ異なる電源電圧 $V_{GH}$ ・ $V_{GL}$ と電源電圧 $V_{SH}$ ・ $V_{SL}$ とにより駆動されている。

【0008】上記の画像表示装置において、データ信号線駆動回路103は、表示用データ信号を1画素毎に、または1水平走査期間（1Hライン）毎に、データ信号

線 $SL_i$ 、 $SL_{i+1}$ …に出力する。また、走査信号線 $GL_j$ 、 $GL_{j+1}$ …がアクティブ状態になるとトランジスタTが導通状態となり、これによって、データ信号線 $SL_i$ 、 $SL_{i+1}$ …上に送られる表示用データ信号が画素容量 $C_p$ に電荷として書き込まれる。そして、画素容量 $C_p$ に書き込まれた電荷により表示が維持される。

【0009】上記のデータ信号線駆動回路103には、点順次駆動方式と線順次駆動方式とがある。

【0010】図20に示すように、点順次駆動方式のデータ信号線駆動回路103では、入力されたスタートパルスSPSが同期信号CKSに同期してシフトレジスタ（図中、SRにて示す）111…により順次シフトされる。この結果出力されたパルスが、バッファ回路（図中、LATにて示す）112…を経てサンプリングスイッチ（図中、SWTにて示す）113に与えられる。そのパルスによりサンプリングスイッチ113が閉じると、映像信号DATは、サンプリングスイッチ113を通じてデータ信号線 $SL_i$ 、 $SL_{i+1}$ …に与えられる。

【0011】点順次駆動方式のデータ信号線駆動回路103は、映像信号DATをサンプリングスイッチ113…を介してデータ信号線 $SL_i$ 、 $SL_{i+1}$ …に転送するようになっているので、駆動回路としての規模は小さくなる。その反面、このデータ信号線駆動回路103は、書き込み時間が短くなり、そのために大画面化に対応するには制約がある。

【0012】図21に示すように、線順次駆動方式のデータ信号線駆動回路103では、ある水平走査期間において、入力された映像信号が、サンプリングスイッチ113…によりサンプリングされた後、一旦サンプリング容量 $C_{sap}$ …に蓄えられる。蓄えられたサンプリングデータ（電荷）は、次の水平走査期間の始めに、データ転送信号TRFに同期して動作するサンプリングスイッチ114…を介してホールド容量 $C_h$ …に転送されて保持される。そして、さらにこの水平走査期間において、ホールド容量 $C_h$ …に保持されている電圧と同じレベルの信号が、バッファアンプ（図中、AMPにて示す）115…を介してデータ信号線 $SL_i$ 、 $SL_{i+1}$ …に書き込まれる。

【0013】線順次駆動方式のデータ信号線駆動回路103は、一旦サンプリングした映像信号を1ライン分一括してバッファアンプ115によってデータ信号線 $SL$ に書き込むようになっているので、駆動回路の規模は大きくなる。その反面、このデータ信号線駆動回路103は、書き込み時間が十分にとれるため、大画面化にも対応できるという特徴がある。

【0014】一方、図22に示すように、走査信号線駆動回路102では、入力されたスタートパルスSPGが同期信号CKGに同期してシフトレジスタ111…により順次シフトされる。この結果出力された隣接する2つのシフトレジスタ111・111からのパルスが、バッ

ファ回路112…を経てアンド回路(図中、ANDにて示す)116で和がとられる。さらに、アンド回路116の出力と信号幅を決定する同期信号GPSとの和がアンド回路(図中、ANDにて示す)117でとられることにより、走査信号が生成される。この走査信号は、バッファ(図中、BUFにて示す)118を介して走査信号線 $GL_j, GL_{j+1}$ …に与えられる。

【0015】なお、上記の走査信号線駆動回路102においては、レベルシフトを内蔵したバッファ118を用いることにより、走査信号の出力振幅を大きくすることもある。

【0016】ところで、従来、アクティブマトリクス型液晶表示装置の多くにおいて、前述の画素104…は、ガラス基板上に形成された非晶質シリコン薄膜トランジスタにより構成されていた。また、走査信号線駆動回路102およびデータ信号線駆動回路103は、ガラス基板上に外付けされる複数のドライバICであった。

【0017】これに対して、近年、画像表示装置の小型化、信頼性向上、コスト低減等を実現するために、走査信号線駆動回路102やデータ信号線駆動回路103を画素アレイ101と同一の基板上にモノリシックに構成する技術が開発されつつある。

【0018】この場合、能動素子としては、単結晶、多結晶または非晶質のいずれかのシリコン薄膜からなる電界効果トランジスタが用いられる。実際には、透明なガラス基板上に大面積に形成できること、および走査信号線駆動回路102やデータ信号線駆動回路103に要求される高い駆動力が得られることから、多結晶シリコン薄膜トランジスタが用いられることが多い。

【0019】従来の多結晶シリコン薄膜トランジスタは、例えば、図23に示すような構造になっている。この構造においては、絶縁性基板121上に汚染防止用にシリコン酸化膜122が堆積されており、その上に電界効果トランジスタが形成されている。絶縁性基板121としては、サファイヤ基板、石英基板、無アルカリガラス等が用いられることが多い。

【0020】上記の電界効果トランジスタは、シリコン酸化膜122上に形成されたチャネル領域123a、ソース領域123bおよびドレイン領域123cからなる多結晶シリコン薄膜123と、さらにその上に形成されたゲート絶縁膜124、ゲート電極125、シリコン酸化膜126および金属配線127とにより構成されている。

【0021】

【発明が解決しようとする課題】ところが、多結晶シリコン薄膜トランジスタは、現状では、その閾値電圧を十分に制御することが困難であるため、画像表示装置用の駆動回路に用いるには、必要とされる特性を発揮することができない場合がある。

【0022】一般に、活性層となる多結晶シリコン薄膜

123は、n型化する傾向にあるため、nチャネル型トランジスタ(以降適宜、nchトランジスタと称する)の閾値電圧とpチャネル型トランジスタ(以降適宜、pchトランジスタと称する)の閾値電圧とは、ともに負の方向にシフトする。すなわち、nchトランジスタは、ややディプレッションの要素が多くなり、一定の電源電圧のもとでは相対的に駆動電力が増大し、かつオフ電流が増加する。一方、pchトランジスタは、閾値電圧が大きくなり、駆動力が大幅に低下する。

【0023】このため、nchトランジスタの駆動力とpchトランジスタの駆動力との間にアンバランスが生じるとともに、nchトランジスタではリーク電流が増加する。

【0024】上記のように、両トランジスタの駆動力に大きなアンバランスがあると、駆動回路の特性が著しく損なわれるおそれがある。例えば、走査信号線駆動回路102およびデータ信号線駆動回路103内に設けられることが多いシフトレジスタは、CMOS回路により構成された場合、その動作速度が特性の劣っている(駆動力の小さい)トランジスタの特性により決まる。このため、pchトランジスタの閾値電圧が高いと、nchトランジスタの良好な特性が十分に生かされないことになる。また、高い保持特性が要求されるサンプリング回路(サンプリングスイッチ113・114)等では、閾値電圧が低く、かつオフ電流が大きいnchトランジスタを用いると、正常な動作ができなくなるという不都合がある。

【0025】また、上述のnchトランジスタの閾値電圧とpchトランジスタの閾値電圧とのアンバランスのみならず、それぞれの閾値電圧の絶対値が大きいことも好ましくない。例えば、閾値電圧が電源電圧の30%以上にもなることがある。このような現象は、トランジスタの駆動力の低下を招き、駆動回路の性能を制限するという問題を引き起こす。

【0026】画像表示装置を構成する薄膜トランジスタの特性(閾値電圧)のバラツキへの対策としては、例えば、特開平1-189632号公報に開示されている技術がある。このような技術では、薄膜トランジスタにおけるゲート電極と対向するように電極が設けられており、この電極に印加される電圧を変えることにより、薄膜トランジスタの閾値電圧を変化させている。

【0027】しかしながら、上記の技術は、画素スイッチである薄膜トランジスタの閾値電圧によって決まる映像信号の電圧レベルと走査信号の電圧レベルとの調整を、上記の電極の電圧レベルの調整に置き換えており、駆動回路そのものの特性を改善するためになされてはいない。したがって、上記の技術は、前述のような問題を本質的に解決するには至らない。

【0028】

【課題を解決するための手段】本発明の第1の薄膜トラ

ンジスタ回路は、上記の課題を解決するために、絶縁性基板上に形成された複数の薄膜トランジスタにより構成され、活性層のチャネル領域を間においてゲート電極と対向するように導電性電極が配置されており、この導電性電極に同一の一定電圧が印加されることを特徴としている。

【0029】上記の第1の薄膜トランジスタ回路では、導電性電極が活性層のチャネル領域を間においてゲート電極と対向するように配置され、かつこの導電性電極に同一の一定電圧が印加される。このとき、活性層のポテンシャルが変化するので、それを相殺する分だけゲート電極に余分に逆極性の電圧が印加される。その結果、印加電圧に応じて薄膜トランジスタの閾値電圧をシフトさせることができる。

【0030】これにより、何らかの理由のために薄膜トランジスタの閾値電圧が所望の値より負方向または正方向にずれた場合、導電性電極への電圧の印加により閾値電圧をシフトさせれば、nチャネル型トランジスタの閾値電圧の絶対値とpチャネル型トランジスタの閾値電圧の絶対値とをほぼ等しくすることができる。

【0031】また、上記のような構成において、閾値電圧の絶対値を大きくするように導電性電極に電圧を印加することにより、空乏層領域および弱反転領域でのポテンシャルの変化率が大きくなる。

【0032】上記の第1の薄膜トランジスタにおける上記導電性電極は、例えば、以下のように構成されているもよい。

【0033】(1) nチャネル型の薄膜トランジスタまたはpチャネル型の薄膜トランジスタのいずれか一方にのみ配置されている。

【0034】(2) チャネル長が所定の範囲にある薄膜トランジスタにのみ配置されている。

【0035】(3) スタティック回路を構成する薄膜トランジスタまたはダイナミック回路を構成する薄膜トランジスタのいずれか一方にのみ配置されている。

【0036】(4) 同一の駆動電圧で駆動される回路を構成する薄膜トランジスタにのみ配置されている。

【0037】(5) アナログ回路を構成する薄膜トランジスタまたはデジタル回路を構成する薄膜トランジスタのいずれか一方にのみ配置されている。

【0038】上記の第1の薄膜トランジスタ回路においては、前記の(1)ないし(5)の構成により次のように閾値電圧のシフトがなされる。

【0039】薄膜トランジスタのうち一方のチャネル型のトランジスタの閾値電圧が異常に高いかまたは低い場合には、その薄膜トランジスタにおいてのみ導電性電極が配置されることにより、その薄膜トランジスタのみ閾値電圧をシフトさせることができる。これにより、例えば、pチャネル型トランジスタの閾値電圧が高いため、これを正方向にシフトさせる場合においても、nチャ

ネル型トランジスタの閾値電圧が大きくなることはない。

【0040】薄膜トランジスタの閾値電圧がそのチャネル長に依存して変化する場合には、チャネル長が所定の範囲にある薄膜トランジスタにのみ導電性電極が配置されることにより、その薄膜トランジスタのみ閾値電圧をシフトさせることができる。これにより、異なるチャネル長の薄膜トランジスタが複数混在する薄膜トランジスタ回路においても、特定のチャネル長の薄膜トランジスタのみ特性を調整することができる。

【0041】薄膜トランジスタ回路がスタティック回路およびダイナミック回路により構成されている場合には、いずれか一方の回路を構成する薄膜トランジスタにのみ導電性電極が配置されることにより、その薄膜トランジスタのみ閾値電圧をシフトさせることができる。これにより、高速動作が要求されるスタティック回路では薄膜トランジスタの閾値電圧が比較的低い値に設定される。一方、高い保持性能(リーク電流が小さい)を要求されるダイナミック回路では閾値電圧が比較的高い値に設定される。したがって、いずれかの回路への要求を満たすことができる。

【0042】薄膜トランジスタ回路が異なる駆動電圧で駆動されるようなグループに分けられる場合には、同一の駆動電圧で駆動されるグループの回路を構成する薄膜トランジスタにのみ導電性電極が配置されることにより、その薄膜トランジスタのみ閾値電圧をシフトさせることができる。これにより、例えば、低電圧で駆動されるグループの回路または高電圧で駆動されるグループの回路に適した閾値電圧を設定することが可能になる。

【0043】薄膜トランジスタ回路がアナログ回路およびデジタル回路により構成されている場合には、いずれか一方の回路を構成する薄膜トランジスタにのみ導電性電極が配置されることにより、その薄膜トランジスタのみ閾値電圧をシフトさせることができる。これにより、高精度のアナログ信号レベルが要求されるアナログ回路では、リーク電流を抑えるために薄膜トランジスタの閾値電圧が比較的高い値に設定される。一方、高速動作が要求されるデジタル回路では閾値電圧が比較的低い値に設定される。したがって、いずれかの回路への要求を満たすことができる。

【0044】本発明の第2の薄膜トランジスタ回路は、上記の課題を解決するために、絶縁性基板上に形成された複数の薄膜トランジスタにより構成され、活性層のチャネル領域を間においてゲート電極と対向するように複数の導電性電極が配置されており、これらの導電性電極にそれぞれ異なる一定電圧が印加されることを特徴としている。

【0045】上記の第2の薄膜トランジスタ回路では、導電性電極が活性層のチャネル領域を間においてゲート電極と対向するように複数配置され、かつこれらの導電

うに、面積かつ配置位置が定められていてもよい。この構造では、導電性電極が活性層におけるチャネル領域の両側に存在するソース領域とドレイン領域とに対向する面積が少ない。これにより、スタガー構造および逆スタガー構造のいずれの薄膜トランジスタの構造においても、導電性電極とソース領域およびドレイン領域との間で生じる寄生容量が小さくなる。

【0063】あるいは、上記の第1および第2の薄膜トランジスタ回路において、少なくともチャネル領域を含む全ての領域において活性層に面するように、面積かつ配置位置が定められていてもよい。これにより、スタガー構造の薄膜トランジスタでは、導電性電極の上方に設けられるソース領域およびドレイン領域に導電性電極の周縁部による段差が生じることはなくなる。それゆえ、結晶性の劣化や段差部での薄膜化の影響による特性の低下が生じることはない。

【0064】また、上記の第1および第2の薄膜トランジスタにおける上記導電性電極は、遮光性材料からなっているともよい。これにより、薄膜トランジスタに入射する光を遮ることができ、その光によるリーク電流の増加等の悪影響を防止することができる。

【0065】さらに、上記の第1および第2の薄膜トランジスタにおける上記活性層は、例えば、空乏層の最大幅の2倍以下の膜厚で形成された半導体薄膜であってもよい。これにより、半導体薄膜がゲート電極と導電性電極とに印加される電圧によって完全に空乏化される。それゆえ、閾値電圧のシフトをより効果的に行うことができる。

【0066】一方、本発明の画像表示装置は、上記の課題を解決するために、マトリクス状に設けられた複数の表示用の画素と、これらの画素に映像信号を列単位で与える映像信号付与手段（データ信号線駆動回路）と、上記画素への映像信号の書き込みを行単位で制御する書込制御手段（走査信号線駆動回路）とを備え、上記映像信号付与手段および上記書込制御手段のうち少なくともいずれか一方が上記の各薄膜トランジスタ回路を有していることを特徴としている。これにより、各薄膜トランジスタ回路の特性に応じて映像信号付与手段および書込制御手段の動作特性を向上させることができる。

【0067】

【発明の実施の形態】

〔実施の形態1〕本発明の第1の実施の形態について図1ないし図4に基づいて説明すれば、以下の通りである。

【0068】本実施の形態に係る薄膜トランジスタ回路は、アクティブマトリクス駆動方式の画像表示装置において用いられる走査信号線駆動回路またはデータ信号線駆動回路であって、図3に示すように、同期信号等をシフトさせるCMOS構成のシフトレジスタ1を備えている。

【0069】図3に示すスタティック型シフトレジスタ（以降、単にシフトレジスタと称する）1は、2ユニット分であるが、1ユニット当たり2つのクロックインバータ2・3および1つのインバータ4を備えている。クロックインバータ2とインバータ4とは、スタートパルスSPG・SPSの転送ライン上に直列に設けられている。クロックインバータ3は、インバータ4と並列にかつ入出力が逆向きに接続されている。また、インバータ4の出力が、シフトレジスタ1における各ユニットの出力 $OUT_i$ 、 $OUT_{i+1}$ となっており、ここから各ユニットによりシフトされたパルスが取り出される。

【0070】上記のシフトレジスタ1は、クロックインバータ2・3およびインバータ4を構成する全ての電界効果トランジスタ（以降、単にトランジスタと称する）は、図1の（a）および（b）に示すように、絶縁性基板11上に形成された多結晶シリコン薄膜トランジスタである。また、シフトレジスタ1を構成する全てのトランジスタにおいて、活性層である多結晶シリコン薄膜（以降、p-Si薄膜と称する）12の下に、シリコン酸化膜からなる絶縁膜13を介して下部電極となる導電性電極14が配置されている。さらに、この導電性電極14には、一定の電圧が印加される。

【0071】上記のp-Si薄膜12は、チャネル領域12aと、その両側に配されたソース領域12bおよびドレイン領域12cとからなる。さらにその上には、ゲート絶縁膜15を介してゲート電極16、シリコン酸化膜からなる層間絶縁膜17、ソース電極およびドレイン電極となる金属配線18が形成されている。

【0072】この導電性電極14は、ITO（indium-tin oxide）等の透明材料であってもよいし、Ti、Ta、Mo、Cr等の遮光性材料であってもよい。遮光性材料を用いた場合には、外部光に起因するトランジスタのリーク電流の増加や回路特性の低下を抑えることが可能となり、光の悪影響を防ぐことができるという利点がある。

【0073】上記のような導電性電極14の配置と導電性電極14への電圧の印加とにより、トランジスタの閾値電圧をシフトさせることができる。例えば、nchトランジスタの閾値電圧とpchトランジスタの閾値電圧とがともに負側に偏っているために、nchトランジスタがディプレッション型になり、かつpchトランジスタの閾値電圧の絶対値が大きくなる場合には、閾値電圧を正方向にシフトすることができる。

【0074】これは、活性層となるp-Si薄膜12のポテンシャルが、導電性電極14に印加された電圧によって負方向に変化するので、それを相殺する分だけゲート電極16に余分に正の電圧を印加しなければならないからである。この導電性電極14によるp-Si薄膜12のポテンシャルの変化は、ガウスの定理から推測できるように、p-Si薄膜12の全体にわたって電荷が存在するとき

に生じる。

【0075】したがって、トランジスタが導通するとき、p-Si薄膜12の表面側（ゲート電極16側）からの空乏層（総電荷量が零でない領域）と、裏面側（導電性電極14側）からの空乏層とがつながることが好ましく、つながるためには、p-Si薄膜12の膜厚が空乏層の最大幅の2倍以下となるように設定される。なお、この条件は、後述する他の実施の形態におけるトランジスタでも同様である。

【0076】空乏層がつながることが好ましいのは、次の理由による。すなわち、p-Si薄膜12の表面側からの空乏層と裏面側からの空乏層がつながることにより、p-Si薄膜12内のポテンシャルの最小値（または最大値）が変化するので、薄膜トランジスタが導通するためのポテンシャル変化量も変化する。その結果、薄膜トランジスタの閾値電圧を効果的にシフトさせることが可能になる。

【0077】実際に、100nmの膜厚のp-Si薄膜12を活性層として用い、ゲート絶縁膜15の厚さが150nmであり、絶縁膜13の厚さが300nmであるトランジスタにおいて、導電性電極14に-2.0Vの電圧を印加することにより、2~3Vの閾値電圧のシフトが観察された。

【0078】図4は、nチャネル型のp-Si薄膜トランジスタのゲート・ソース電圧-ドレイン・ソース電流特性の一例を示す図である。この図において、導電性電極にバイアス電圧を印加しない（ソース電極と同電位にする）場合の特性を破線で示し、導電性電極に-2.0Vのバイアス電圧を印加した場合の特性を実線で示している。これらの特性から、導電性電極にバイアス電圧を印加することにより、閾値電圧が2.5Vシフトしていることが分かる。

【0079】ところで、図1の（a）の構造をなすトランジスタは、図2の（a）に示すように、導電性電極14が、p-Si薄膜12の下方にチャネル領域12aとほぼ同じ幅で設けられている。実際には、製造上のマージン確保のため、導電性電極14はチャネル領域12aよりやや広い幅で形成される。

【0080】この場合は、ソース領域12bとドレイン領域12cの下方に存在する導電性電極14の面積が少ないので、ソース領域12bおよびドレイン領域12cと導電性電極14との間に発生する寄生容量はごくわずかである。これにより、トランジスタからなる回路の動作を高速化することができる。

【0081】一方、図1の（b）の構造をなすトランジスタは、図2の（b）に示すように導電性電極14が、p-Si薄膜12の下方にp-Si薄膜12より広く設けられている。

【0082】このトランジスタでは、p-Si薄膜12におけるソース領域12bおよびドレイン領域12cは、図

1の（a）の構造におけるソース領域12bおよびドレイン領域12cのように段差がある構造と異なり平坦に形成される。これにより、製造工程（特に、p-Si薄膜12の結晶化工程）において、下地段差（以下に詳述する）や導電性電極14による光反射率の変化などが生じることはなく、製造されたトランジスタにその影響が現れることを防止できる。

【0083】導電性電極14が活性層（例えば、p-Si薄膜12）と対向する部分の一部のみに配置される構造では、導電性電極14の上方に活性層を形成する（堆積させる）工程において、導電性電極14の側縁で活性層に段差が生じ、その段差部で活性層の膜厚が薄くなる。この結果、活性層の結晶化工程において、段差部付近の結晶性が他の部分の結晶性と異なる（劣る）ため、ソース領域とドレイン領域との比抵抗が大きくなる可能性がある。また、段差部での薄膜化によって活性層の断面積が小さくなり、ソース領域の抵抗およびドレイン領域の抵抗が上昇する可能性がある。このため、トランジスタのオン電流が減少することが懸念される。

【0084】さらに、段差部周辺における結晶性の劣化の影響がチャネル領域12aにも及ぶ可能性がある。この場合には、トランジスタの閾値電圧、キャリア移動度等の特性が低下するおそれもある。

【0085】したがって、活性層に段差部がなければ、トランジスタに上記のような影響が現れることはない。

【0086】なお、トランジスタの上記の2つの構造は、必要とするトランジスタの性能に応じて適宜選択される。また、これらの構造は、以降に述べる他の実施の形態についても同様に適用される。

【0087】本実施の形態においては、多結晶シリコン薄膜トランジスタは、スタガー構造をなしており、導電性電極14がp-Si薄膜12の下方に配置されている。導電性電極14の位置は、ゲート電極16の位置に対して相対的に決定されるので、構造に応じて異なる。逆スタガー構造の多結晶シリコン薄膜トランジスタでは、ゲート電極が絶縁性基板上に形成されているので、導電性電極がゲート電極の上方に形成された活性層の上方に配置されている。このような2通りの導電性電極の配置は、以降に述べる他の実施の形態についても同様に適用される。

【0088】〔実施の形態2〕本発明の第2の実施の形態について図1、図2、図5および図6に基づいて説明すれば、以下の通りである。なお、本実施の形態および後述する第3ないし第7実施の実施の形態において前記の第1の実施の形態における構成要素と同等の機能を有する構成要素については、同一の番号を付記してその説明を省略する。

【0089】本実施の形態に係る薄膜トランジスタ回路では、図5に示すように、シフトレジスタ1を構成する各トランジスタのうち、pchトランジスタにおいての

み上記の導電性電極14が設けられている。導電性電極14は、前記の第1の実施の形態におけるトランジスタと同様、図1(図2)の(a)または(b)に示すように、p-Si薄膜12の下方に絶縁膜13を間において配置されている。

【0090】上記の構成においては、第1の実施の形態で述べた理由により、pchトランジスタの閾値電圧のみをシフトさせることができる。上記の構成は、nchトランジスタの閾値電圧が所望の値となっているのに対し、pchトランジスタの閾値電圧が所望値から大きくずれているような場合に有効である。

【0091】さらに、本実施の形態に係る他の薄膜トランジスタ回路では、図6に示すように、nchトランジスタにおいても、pchトランジスタと個別に導電性電極14が設けられている。

【0092】このような構成では、それぞれの導電性電極14・14に異なる一定電圧が印加されることにより、nchトランジスタの閾値電圧とpchトランジスタの閾値電圧とを独立してシフトさせることができる。この構成は、nchトランジスタの閾値電圧とpchトランジスタの閾値電圧とが、それぞれの所望値から大きくずれており、それぞれ異なる電圧値だけシフトさせる場合に有効である。

【0093】〔実施の形態3〕本発明の第3の実施の形態について図1、図2、図7、図8および図9に基づいて説明すれば、以下の通りである。

【0094】本実施の形態に係る薄膜トランジスタ回路は、図7および図8に示すように、アクティブマトリクス駆動方式の画像表示装置において用いられるデータ信号線駆動回路21である。

【0095】このデータ信号線駆動回路21において、シフトレジスタ1を構成する各ユニット(図中、SRにて示す)1a…は、同期信号CKSに同期してスタートパルスSPSを順次シフトさせるようになっている。各ユニット1a…から出力されたパルスは、バッファ回路22…を介してサンプリング回路23…に与えられる。

【0096】バッファ回路22は、分岐された2つの信号伝達経路に異なる数のインバータが配置されている回路であり、それぞれの信号伝達経路を通じて異なる極性のパルスを出力するようになっている。サンプリング回路23は、上記の2つの信号伝達経路からのパルスがそれぞれnchトランジスタとpchトランジスタとのゲート電極に与えられることにより導通して、映像信号DATをデータ信号線SL<sub>1</sub>、SL<sub>2</sub>、SL<sub>3</sub>…に出力するようになっている。

【0097】データ信号線駆動回路21を構成する全トランジスタのうち、ユニット1a…を構成するトランジスタは、シフトレジスタ1が高速動作を要求されるために、チャネル長Lが短くなっている(L=6μm)。また、データ信号線駆動回路21においてバッファ回路2

2…を構成するトランジスタは、シフトレジスタ1のように高速動作を要求されないで、チャネル長Lが長くなっている(L=8μm)。また、サンプリング回路23…を構成するトランジスタは、リーク電流を低減する必要から、チャネル長Lがさらに長くなっている(L=10μm)。

【0098】上記のデータ信号線駆動回路21では、図7に示すように、ユニット1a…を構成するトランジスタすなわちチャネル長の最も短い(L=6μm)トランジスタにおいてのみ上記の導電性電極14が設けられている。導電性電極14は、図1(図2)の(a)または(b)に示すように、p-Si薄膜12の下方に絶縁膜13を間において配置されている。

【0099】上記のような構成においては、第1の実施の形態で述べた理由により、チャネル長の短いトランジスタの閾値電圧のみをシフトさせることができる。

【0100】また、本実施の形態に係る他の薄膜トランジスタ回路では、図8に示すように、シフトレジスタ1…を構成するトランジスタのみならず、バッファ回路22…を構成するトランジスタおよびサンプリング回路23…を構成するチャネル長が長いトランジスタにおいても、それぞれ個別に導電性電極14が設けられている。

【0101】このような構成では、それぞれの導電性電極14・14に異なる一定電圧が印加されることにより、シフトレジスタ1…におけるトランジスタの閾値電圧と、バッファ回路22…を構成するトランジスタおよびサンプリング回路23…を構成するトランジスタの閾値電圧とをそれぞれ独立してシフトさせることができる。

【0102】また、本実施の形態に係るさらに他の薄膜トランジスタ回路では、図9に示すように、シフトレジスタ1…を構成するトランジスタのみならず、サンプリング回路23…を構成するチャネル長が長いトランジスタにおいても、それぞれ個別に導電性電極14が設けられている。ここで、バッファ回路22…を構成するトランジスタには、導電性電極14が設けられていない。

【0103】このような構成では、それぞれの導電性電極14・14に異なる一定電圧が印加されることにより、シフトレジスタ1…におけるトランジスタの閾値電圧と、サンプリング回路23…を構成するトランジスタの閾値電圧とを、それぞれ独立してシフトさせることができる。ここで、導電性電極14が配設されていないバッファ回路22…を構成するトランジスタにおいては、閾値電圧はシフトしない。

【0104】上記の3つの構成は、短チャネル効果等のために、チャネル長によって閾値電圧が異なる場合があるので、特に、チャネル長の長さに応じて閾値電圧が所望値から大きくずれているときに有効である。

【0105】〔実施の形態4〕本発明の第4の実施の形態について図1、図2、図10、図11および図12に



基づいて説明すれば、以下の通りである。

【0106】本実施の形態に係る薄膜トランジスタ回路は、図10および図11に示すように、アクティブマトリクス駆動方式の画像表示装置において用いられるデータ信号線駆動回路61である。

【0107】このデータ信号線駆動回路61は、第3の実施の形態に示したデータ信号線駆動回路21とほぼ同様の構成であるが、シフトレジスタ51がダイナミック型である点が異なっている。

【0108】図12に示すシフトレジスタ51は、2ユニット分であるが、1ユニット当たり2つのクロックインバータ2および1つのインバータ4を備えている。クロックインバータ2とインバータ4とは、スタートパルスSPG・SPSの転送ライン上に直列に設けられている。また、インバータ4の出力が、シフトレジスタ51における各ユニットの出力 $OUT_i$ 、 $OUT_{i+1}$ となっており、ここから各ユニットによりシフトされたパルスが取り出される。

【0109】上記のデータ信号線駆動回路61において、シフトレジスタ51を構成する各ユニット（図中、SRにて示す）51a…は、同期信号CKSに同期してスタートパルスSPSを順次シフトさせるようになっている。各ユニット51a…から出力されたパルスは、バッファ回路22…を介してサンプリング回路23…に与えられる。

【0110】データ信号線駆動回路61を構成する全トランジスタのうち、ユニット51a…を構成するトランジスタは、シフトレジスタ51が正常に動作するようにリーク電流を低く抑える必要がある。一方、他のバッファ回路22…およびサンプリング回路23…等のスタティック回路では、駆動力が高いことが望ましい。

【0111】上記のデータ信号線駆動回路61では、図10に示すように、ユニット51a…を構成するトランジスタすなわちリーク電流を抑える必要のあるトランジスタにおいてのみ上記の導電性電極14が設けられている。導電性電極14は、図1（図2）の（a）または（b）に示すように、p-Si薄膜12の下方に絶縁膜13を間において配置されている。

【0112】上記のような構成においては、第1の実施の形態で述べた理由により、ダイナミック回路を構成するトランジスタの閾値電圧のみをシフトさせることができる。

【0113】また、本実施の形態に係る他の薄膜トランジスタ回路では、図11に示すように、シフトレジスタ51…以外のバッファ回路22…、サンプリング回路23…等のスタティック回路を構成するトランジスタにおいても、シフトレジスタ51を構成するトランジスタと独立して導電性電極14が設けられている。

【0114】このような構成では、それぞれの導電性電極14・14に異なる一定電圧が印加されることによ

り、ダイナミック回路であるシフトレジスタ51…におけるトランジスタの閾値電圧と、スタティック回路であるバッファ回路22…およびサンプリング回路23…を構成するトランジスタおよびサンプリング回路23…を構成するトランジスタの閾値電圧とを、それぞれ独立してシフトさせることができる。

【0115】上記の2つの構成は、同一基板上にダイナミック回路とスタティック回路とが共存する場合に、トランジスタの閾値電圧がそれぞれの回路を構成するトランジスタでの所望の値から大きくずれているときに有効である。

【0116】〔実施の形態5〕本発明の第5の実施の形態について図1、図2、図13、図14および図15に基づいて説明すれば、以下の通りである。

【0117】本実施の形態に係る薄膜トランジスタ回路は、図13および図14に示すように、アクティブマトリクス駆動方式の画像表示装置において用いられる走査信号線駆動回路31である。

【0118】この走査信号線駆動回路31において、シフトレジスタ1を構成する複数のユニット1a…は、同期信号CKGに同期してスタートパルスSPGを順次シフトさせるようになっている。ユニット1a…の次段に設けられたNANDゲート32…では、隣接するユニット1a・1aから出力された2つのパルスの論理積否定がとられる。さらに、NANDゲート32…の次段に設けられたNORゲート33…では、それぞれNANDゲート32…の出力と同期信号GPSとの論理和否定がとられる。

【0119】NORゲート33…の次段には、レベルシフタ34…とバッファ35…とが順次設けられている。NORゲート33…の出力は、走査信号としてレベルシフタ34…およびバッファ35…を介して走査信号線 $GL_1$ 、 $GL_2$ 、 $GL_3$ …に与えられる。

【0120】また、シフトレジスタ1…、NANDゲート32…、NORゲート33…等からなる駆動電圧の低い回路のグループには、電源電圧 $V_{GH1}$ （高電位）・ $V_{GL1}$ （低電位）が駆動電圧として与えられる。一方、レベルシフタ34…、バッファ35…等からなる駆動電圧の高い回路のグループには、電源電圧 $V_{GH2}$ （高電位）・ $V_{GL2}$ （低電位）が駆動電圧として与えられる。

【0121】走査信号線駆動回路31では、図13に示すように、レベルシフタ34…より前段のシフトレジスタ1…、NANDゲート32…、NORゲート33…等の回路を構成するトランジスタにおいてのみ上記の導電性電極14が設けられている。導電性電極14は、図1（図2）の（a）または（b）に示すように、p-Si薄膜12の下方に配置されている。

【0122】上記のような構成においては、第1の実施の形態で述べた理由により、レベルシフタ34…より前段の回路を構成するトランジスタの閾値電圧のみをシフ

DATを制御回路44からの同期信号CKSおよびスタートパルスSPSに基づいてサンプリングして各列の画素に接続されたデータ信号線 $SL_i, SL_{i+1} \dots$ に出力するようになっている。書込制御手段としての走査信号線駆動回路43は、制御回路44からの同期信号CKG・GPSおよびスタートパルスSPGに基づいて各行の画素に接続された走査信号線 $GL_j, GL_{j+1} \dots$ に与える走査信号を発生するようになっている。

【0139】電源回路45は、電源電圧 $V_{SH} \cdot V_{SL} \cdot V_{GH} \cdot V_{GL}$ 、接地電位COMおよび電圧 $V_{BB}$ を発生する回路である。電源電圧 $V_{SH} \cdot V_{SL}$ は、それぞれレベルの異なる電圧であり、データ信号線駆動回路42に与えられる。電源電圧 $V_{GH} \cdot V_{GL}$ は、それぞれレベルの異なる電圧であり、走査信号線駆動回路43に与えられる。電源電圧 $V_{GH} \cdot V_{GL}$ は、実施の形態5における電源電圧 $V_{GH1} \cdot V_{GH2} \cdot V_{GL1} \cdot V_{GL2}$ を含んでいる。接地電位COMは、基板46に設けられる図示しない共通電極線に与えられる。

【0140】電圧 $V_{BB}$ は、導電性電極14に印加される電圧であり、前述の各実施の形態における導電性電極14の構成に応じて必要な数とレベルが設定される。このように、電圧 $V_{BB}$ が導電性電極14の構成によって異なるレベルに設定されることから、電源回路45は、外部から電圧 $V_{BB}$ を調整しうるように構成されることが望ましい。

【0141】データ信号線駆動回路42および走査信号線駆動回路43は、図3、図5および図6に示すシフトレジスタ1のうちいずれか1つを有している。または、データ信号線駆動回路42と走査信号線駆動回路43とのいずれか一方が、上記のシフトレジスタ1を有していてもよい。または、データ信号線駆動回路42および走査信号線駆動回路43の少なくともいずれか一方が、図12に示すシフトレジスタ51を有していてもよい。

【0142】本画像表示装置の他の構成において、データ信号線駆動回路42は、図7、図8、図9、図16および図17に示すデータ信号線駆動回路21ならびに図10および図11に示すデータ信号線駆動回路61のうちいずれか1つの構成を含んでいる。走査信号線駆動回路43は、図13および図14に示す走査信号線駆動回路31のうちいずれか1つの構成を含んでいる。または、データ信号線駆動回路42と走査信号線駆動回路43とのいずれか一方が、上記の構成を含んでいてもよい。

【0143】本実施の形態では、データ信号線駆動回路42および走査信号線駆動回路43または両者のいずれか一方が、上記のように、図1(図2)の(a)または(b)に示すような導電性電極14を有するトランジスタを含んでいる。これにより、データ信号線駆動回路42または走査信号線駆動回路43を構成するトランジスタの閾値電圧を、それぞれに要求される値に合わせてシ

フトさせることができる。それゆえ、動作速度および表示品位の優れた画像表示装置を提供することが可能になる。

【0144】以上、本実施の形態および前記の他の実施の形態において、幾つかの例を示したが、本発明は、上記の各実施の形態に限定されることなく、同様の概念に基づく全ての構成に適用される。

【0145】

【発明の効果】以上のように、本発明の請求項1に記載の薄膜トランジスタ回路は、絶縁性基板上に形成された複数の薄膜トランジスタにより構成され、活性層のチャネル領域を間においてゲート電極と対向するように導電性電極が配置されており、この導電性電極に同一の一定電圧が印加される構成である。

【0146】これにより、導電性電極への電圧の印加により閾値電圧をシフトさせれば、nチャネル型トランジスタの閾値電圧の絶対値とpチャネル型トランジスタの閾値電圧の絶対値とをほぼ等しくすることができる。また、閾値電圧の絶対値を大きくするように導電性電極に電圧を印加することにより、リーク電流を小さくすることができる。したがって、動作速度、保持特性等の点で薄膜トランジスタ回路の特性を大幅に向上させることができるという効果を奏する。

【0147】本発明の請求項2に記載の薄膜トランジスタ回路は、上記の請求項1に記載の薄膜トランジスタ回路において、上記導電性電極が、nチャネル型の薄膜トランジスタまたはpチャネル型の薄膜トランジスタのいずれか一方にのみ配置されているので、いずれか一方のチャネル型のトランジスタの閾値電圧が異常に高いかまたは低い場合には、その薄膜トランジスタにおいてのみ導電性電極が配置されることにより、その薄膜トランジスタのみ閾値電圧をシフトさせることができる。それゆえ、所望のチャネル型の薄膜トランジスタの閾値電圧のみ適正に調整することができ、動作性能の優れた薄膜トランジスタ回路を提供することができるという効果を奏する。

【0148】本発明の請求項3に記載の薄膜トランジスタ回路は、上記の請求項1に記載の薄膜トランジスタ回路において、上記導電性電極が、所定の範囲にチャネル長の設定されている薄膜トランジスタにのみ配置されているので、特定のチャネル長の薄膜トランジスタのみ特性を調整することができる。それゆえ、異なるチャネル長の薄膜トランジスタが混在する薄膜トランジスタ回路の動作特性を向上させることができるという効果を奏する。

【0149】本発明の請求項4に記載の薄膜トランジスタ回路は、上記の請求項1に記載の薄膜トランジスタ回路において、上記導電性電極が、スタティック回路を構成する薄膜トランジスタまたはダイナミック回路を構成する薄膜トランジスタのいずれか一方にのみ配置されて

いるので、その薄膜トランジスタのみ閾値電圧をシフトさせることができる。これにより、高速動作が要求されるスタティック回路では閾値電圧が比較的低い値に設定される一方、高い保持性能（リーク電流が小さい）を要求されるダイナミック回路では閾値電圧が比較的高い値に設定される。それゆえ、いずれかの回路への要求を満たすことにより、薄膜トランジスタ回路におけるスタティック回路またはダイナミック回路の動作特性を向上させることができるという効果を奏する。

【0150】本発明の請求項5に記載の薄膜トランジスタ回路は、上記の請求項1に記載の薄膜トランジスタ回路において、上記導電性電極が、同一の駆動電圧で駆動される回路を構成する薄膜トランジスタにのみ配置されているので、その薄膜トランジスタのみ閾値電圧をシフトさせることができる。これにより、特定の電圧で駆動されるグループの回路における薄膜トランジスタに適した閾値電圧を設定することが可能になる。それゆえ、特定の電圧で駆動される回路の動作特性を向上させることができるという効果を奏する。

【0151】本発明の請求項6に記載の薄膜トランジスタ回路は、上記の請求項1に記載の薄膜トランジスタ回路において、上記導電性電極が、アナログ回路を構成する薄膜トランジスタまたはデジタル回路を構成する薄膜トランジスタのいずれか一方にのみ配置されているので、その薄膜トランジスタのみ閾値電圧をシフトさせることができる。これにより、高精度の信号レベルが要求されるアナログ回路では閾値電圧が比較的高い値に設定され（リーク電流が抑えられ）、一方、高速動作が要求されるデジタル回路では閾値電圧が比較的低い値に設定される。それゆえ、いずれかの回路への要求を満たすことにより、薄膜トランジスタ回路におけるアナログ回路またはデジタル回路の動作特性を向上させることができるという効果を奏する。

【0152】本発明の請求項7に記載の薄膜トランジスタ回路は、絶縁性基板上に形成された複数の薄膜トランジスタにより構成され、活性層のチャネル領域を間においてゲート電極と対向するように複数の導電性電極が配置されており、これらの導電性電極にそれぞれ異なる一定電圧が印加される構成である。

【0153】これにより、上記の請求項1に記載の薄膜トランジスタ回路と同様に、薄膜トランジスタの閾値電圧をシフトさせることができる。しかも、導電性電極が複数配置されて、それぞれに異なる電圧が印加されることにより、チャネル型、チャネル長等に基づく種類の異なる薄膜トランジスタが混在する回路において、それぞれの種類の薄膜トランジスタに応じて任意の電圧だけ閾値電圧をシフトさせることができる。したがって、動作速度、保持特性等の点で、請求項1に記載の薄膜サンプリング回路より優れた特性を示す薄膜トランジスタ回路を提供することができるという効果を奏する。

【0154】本発明の請求項8に記載の薄膜トランジスタ回路は、上記の請求項7に記載の薄膜トランジスタ回路において、上記導電性電極が、nチャネル型の薄膜トランジスタとpチャネル型の薄膜トランジスタとに個別に配置されているので、それぞれの型のトランジスタで独立して任意に閾値電圧を設定することができる。それゆえ、閾値電圧の設定の自由度が向上し、回路の特性を適正に調整することができるという効果を奏する。

【0155】本発明の請求項9に記載の薄膜トランジスタ回路は、上記の請求項7に記載の薄膜トランジスタ回路において、上記導電性電極が、チャネル長に応じてグループ分けされた薄膜トランジスタのグループ毎に配置されているので、チャネル長に応じて適切な閾値電圧を設定することができる。それゆえ、異なるチャネル長の薄膜トランジスタが混在する薄膜トランジスタ回路の特性を適正に調整することができるという効果を奏する。

【0156】本発明の請求項10に記載の薄膜トランジスタ回路は、上記の請求項7に記載の薄膜トランジスタ回路において、上記導電性電極が、スタティック回路を構成する薄膜トランジスタとダイナミック回路を構成する薄膜トランジスタとで個別に配置されているので、それぞれの回路に適切な閾値電圧を設定することができる。つまり、高速動作が要求されるスタティック回路では薄膜トランジスタの閾値電圧が比較的低い値に設定される一方、高い保持性能（リーク電流が小さい）を要求されるダイナミック回路では閾値電圧が比較的高い値に設定される。それゆえ、それぞれの回路への要求を満たすことにより、薄膜トランジスタ回路におけるスタティック回路およびダイナミック回路の動作特性をともに向上させることができるという効果を奏する。

【0157】本発明の請求項11に記載の薄膜トランジスタ回路は、上記の請求項7に記載の薄膜トランジスタ回路において、上記導電性電極が、駆動電圧に応じてグループ分けされた回路を構成する薄膜トランジスタのグループ別に配置されているので、それぞれのグループの回路に適切な閾値電圧を設定することができる。これにより、低電圧で駆動されるグループの回路における閾値電圧と高電圧で駆動されるグループの回路における閾値電圧とを独立して任意に設定することが可能になる。それゆえ、異なる電圧で駆動される薄膜トランジスタが混在する薄膜トランジスタ回路の特性を適正に調整することができるという効果を奏する。

【0158】本発明の請求項12に記載の薄膜トランジスタ回路は、上記の請求項7に記載の薄膜トランジスタ回路において、上記導電性電極が、アナログ回路を構成する薄膜トランジスタとデジタル回路を構成する薄膜トランジスタとで個別に配置されているので、それぞれの回路に適切な閾値電圧を設定することができる。つまり、高精度の信号レベルが要求されるアナログ回路では閾値電圧が比較的高い値に設定され（リーク電流が抑え

られ)、一方、高速動作が要求されるデジタル回路では閾値電圧が比較的低い値に設定される。それゆえ、いずれかの回路への要求を満たすことにより、薄膜トランジスタ回路におけるアナログ回路またはデジタル回路の動作特性を向上させることができるという効果を奏する。

【0159】本発明の請求項13に記載の薄膜トランジスタ回路は、上記の請求項7に記載の薄膜トランジスタ回路において、上記導電性電極が、チャネル長に応じてグループ分けされた回路を構成する薄膜トランジスタのいずれか一部のグループにのみ配置されているので、チャネル長に応じて適切な閾値電圧を設定することができる。それゆえ、異なるチャネル長の薄膜トランジスタが混在する薄膜トランジスタ回路の特性を適正に調整することができるという効果を奏する。

【0160】本発明の請求項14に記載の薄膜トランジスタ回路は、上記の請求項7に記載の薄膜トランジスタ回路において、上記導電性電極が、駆動電圧に応じてグループ分けされた回路を構成する薄膜トランジスタのいずれか一部のグループにのみ配置されているので、それぞれのグループの回路における閾値電圧を独立して任意に設定することが可能になる。それゆえ、異なる電圧で駆動される薄膜トランジスタが混在する薄膜トランジスタ回路の特性を適正に調整することができるという効果を奏する。

【0161】本発明の請求項15に記載の薄膜トランジスタ回路は、上記の請求項1または7に記載の薄膜トランジスタ回路において、上記導電性電極が、少なくとも上記チャネル領域およびその周辺部のみにおいて上記活性層に面するように、面積かつ配置位置が定められている構成である。これにより、導電性電極が活性層におけるチャネル領域の両側に存在するソース領域とドレイン領域とに対向する面積が少なくなる。これにより、導電性電極とソース領域およびドレイン領域との間で生じる寄生容量が小さくなる。したがって、回路動作の高速化を容易に図ることができるという効果を奏する。

【0162】本発明の請求項16に記載の薄膜トランジスタ回路は、上記の請求項1または7に記載の薄膜トランジスタ回路において、上記導電性電極が、少なくとも上記チャネル領域を含む全ての領域において上記活性層に面するように、面積かつ配置位置が定められている構成である。これにより、導電性電極の上方に設けられるソース領域およびドレイン領域に導電性電極の周縁部による段差が生じることはなくなる。したがって、結晶性の劣化や段差部での薄膜化の影響による特性の低下が生じることがなく、品質の高い薄膜トランジスタ回路を提供することができるという効果を奏する。

【0163】本発明の請求項17に記載の薄膜トランジスタ回路は、上記の請求項1または7に記載の薄膜トランジスタ回路において、上記活性層が、空乏層の最大幅の2倍以下の膜厚で形成された半導体薄膜であるので、

半導体薄膜がゲート電極と導電性電極とに印加される電圧によって完全に空乏化される。したがって、請求項1または7に記載の薄膜トランジスタ回路の特性をより向上させることができるという効果を奏する。

【0164】本発明の請求項18に記載の薄膜トランジスタ回路は、上記の請求項1または7に記載の薄膜トランジスタ回路において、上記導電性電極が、遮光性材料からなるので、薄膜トランジスタに入射する光を遮ることができる、その光によるリーク電流の増加等の悪影響を防止することができる。それゆえ、薄膜トランジスタ回路の品質をより向上させることができる。

【0165】本発明の請求項19に記載の画像表示装置は、マトリクス状に設けられた複数の表示用の画素と、これらの画素に映像信号を列単位で与える映像信号付与手段と、上記画素への映像信号の書き込みを行単位で制御する書込制御手段とを備え、上記映像信号付与手段および上記書込制御手段のうち少なくともいずれか一方が上記請求項1ないし18のいずれかに記載の薄膜トランジスタ回路を有している構成である。これにより、各薄膜トランジスタ回路の特性に応じて映像信号付与手段および書込制御手段の動作特性を向上させることができる。したがって、良好な表示品位で画像を表示する画像表示装置を提供することができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態ないし第6の実施の形態に係る薄膜トランジスタ回路を構成する薄膜トランジスタに共通する2つの構造を示す断面図である。

【図2】図1のトランジスタにおける導電性電極、多結晶シリコン薄膜およびゲート電極の2つの配置関係を示す平面図である。

【図3】本発明の第1の実施の形態に係る薄膜トランジスタ回路により形成されるスタック型シフトレジスタの回路構成およびシフトレジスタにおける導電性電極の配置領域を示す説明図である。

【図4】nチャネル型のp-Si薄膜トランジスタの特性の一例を示す特性図である。

【図5】本発明の第2の実施の形態に係る薄膜トランジスタ回路により形成されるシフトレジスタの回路構成およびシフトレジスタにおける導電性電極の配置領域を示す説明図である。

【図6】本発明の第2の形態に係る薄膜トランジスタ回路により形成されるシフトレジスタの回路構成およびシフトレジスタにおける導電性電極の他の配置領域を示す説明図である。

【図7】本発明の第3の実施の形態に係る薄膜トランジスタ回路により形成されるデータ信号線駆動回路の回路構成およびデータ信号線駆動回路における導電性電極の配置領域を示す説明図である。

【図8】本発明の第3の実施の形態に係る薄膜トランジスタ回路により形成されるデータ信号線駆動回路の回路

構成およびデータ信号線駆動回路における導電性電極の他の配置領域を示す説明図である。

【図9】本発明の第3の実施の形態に係る薄膜トランジスタ回路により形成されるデータ信号線駆動回路の回路構成およびデータ信号線駆動回路における導電性電極のさらに他の配置領域を示す説明図である。

【図10】本発明の第4の実施の形態に係る薄膜トランジスタ回路により形成されるデータ信号線駆動回路の回路構成およびデータ信号線駆動回路における導電性電極の配置領域を示す説明図である。

【図11】本発明の第4の実施の形態に係る薄膜トランジスタ回路により形成されるデータ信号線駆動回路の回路構成およびデータ信号線駆動回路における導電性電極の他の配置領域を示す説明図である。

【図12】本発明の第4の実施の形態に係る薄膜トランジスタ回路により形成されるダイナミック型シフトレジスタの構成を示す回路図である。

【図13】本発明の第5の実施の形態に係る薄膜トランジスタ回路により形成される走査信号線駆動回路の回路構成および走査信号線駆動回路における導電性電極の配置領域を示す説明図である。

【図14】本発明の第5の実施の形態に係る薄膜トランジスタ回路により形成される走査信号線駆動回路の回路構成および走査信号線駆動回路における導電性電極の他の配置領域を示す説明図である。

【図15】本発明の第5の実施の形態に係る薄膜トランジスタ回路が組み込まれた画像表示装置の主要部の構成およびデータ信号線駆動回路および走査信号線駆動回路における導電性電極の配置領域を示す説明図である。

【図16】本発明の第6の実施の形態に係る薄膜トランジスタ回路により形成されるデータ信号線駆動回路の回路構成およびデータ信号線駆動回路における導電性電極

の配置領域を示す説明図である。

【図17】本発明の第6の実施の形態に係る薄膜トランジスタ回路により形成されるデータ信号線駆動回路の回路構成およびデータ信号線駆動回路における導電性電極の他の配置領域を示す説明図である。

【図18】本発明の第7の実施の形態に係る画像表示装置の主要部の構成を示すブロック図である。

【図19】一般的なアクティブマトリクス駆動方式の画像表示装置の主要部の構成を示すブロック図である。

【図20】図19の画像表示装置におけるデータ信号線駆動回路の構成を示すブロック図である。

【図21】図19の画像表示装置におけるデータ信号線駆動回路の他の構成を示すブロック図である。

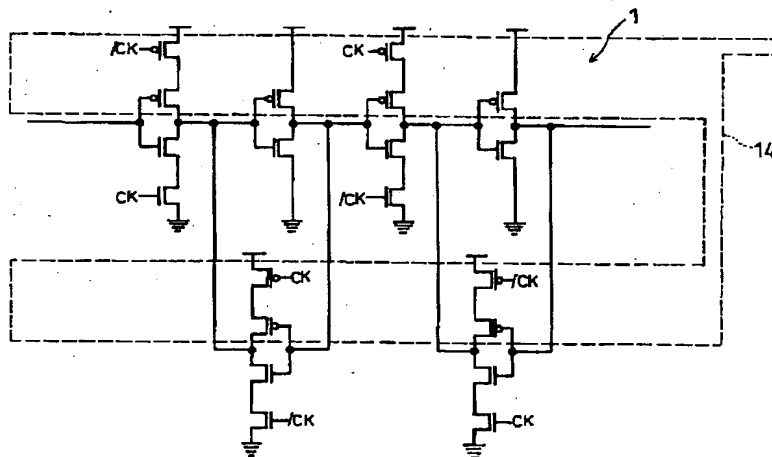
【図22】図19の画像表示装置における走査信号線駆動回路の構成を示すブロック図である。

【図23】上記のデータ信号線駆動回路および走査信号線駆動回路を構成する薄膜トランジスタの構造を示す断面図である。

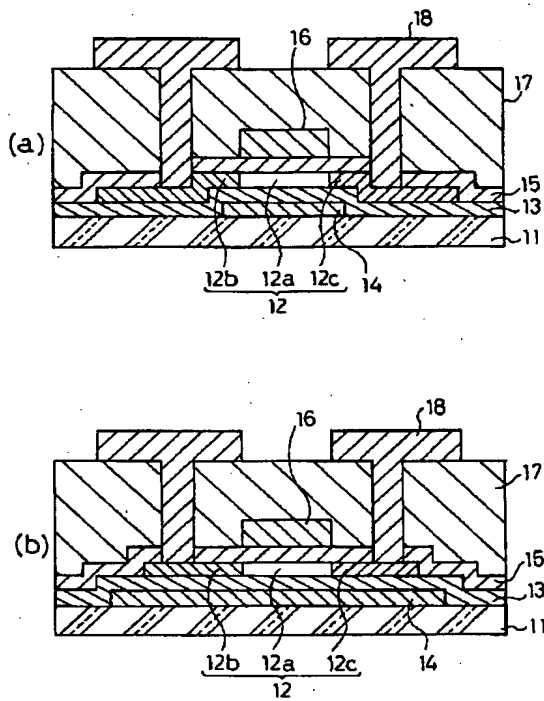
#### 【符号の説明】

- 1       スタティック型シフトレジスタ
- 1 a     ユニット（スタティック型シフトレジスタ）
- 1 2     多結晶シリコン薄膜（活性層）
- 1 2 a   チャネル領域
- 1 4     導電性電極
- 1 6     ゲート電極
- 2 2     バッファ回路（スタティック回路）
- 2 3     サンプリング回路（ダイナミック回路）
- 4 2     データ信号線駆動回路（映像信号付与手段）
- 4 3     走査信号線駆動回路（書込制御手段）
- 5 1     ダイナミック型シフトレジスタ
- 5 1 a   ユニット（ダイナミック型シフトレジスタ）

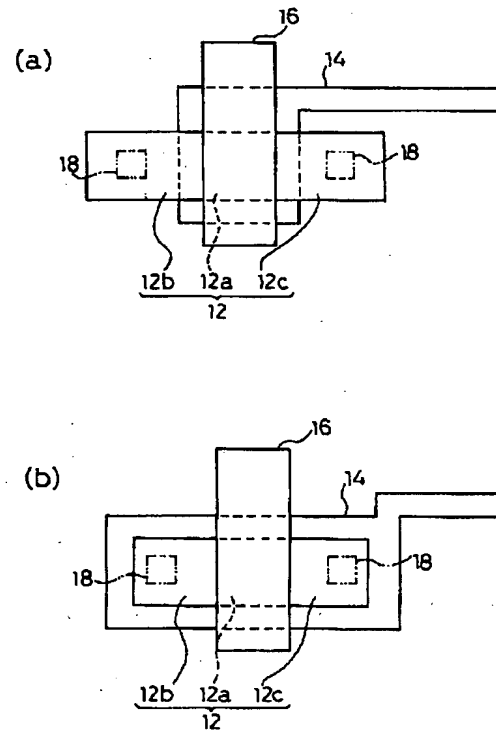
【図5】



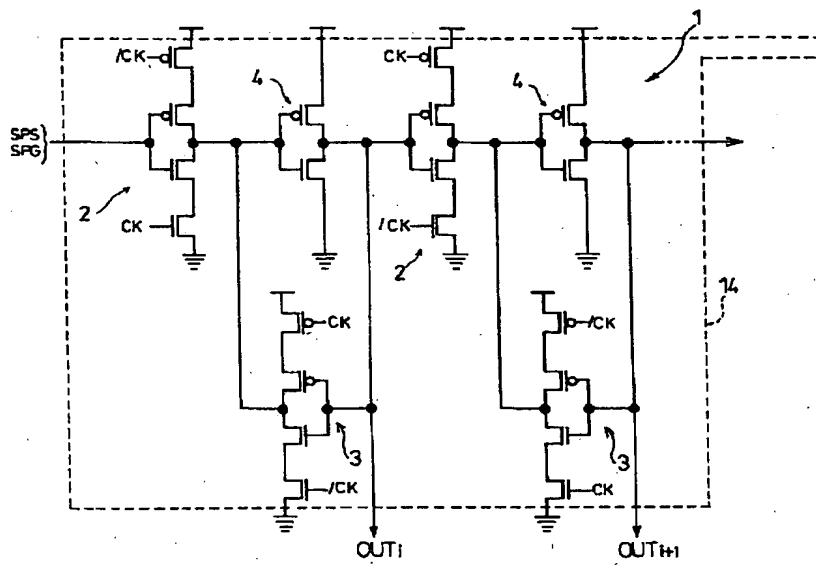
【図1】



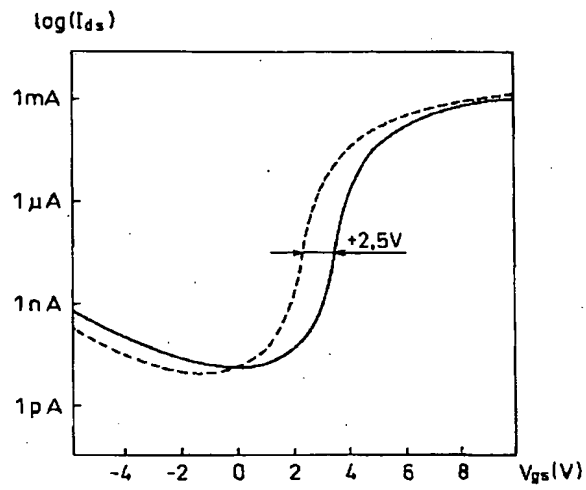
【図2】



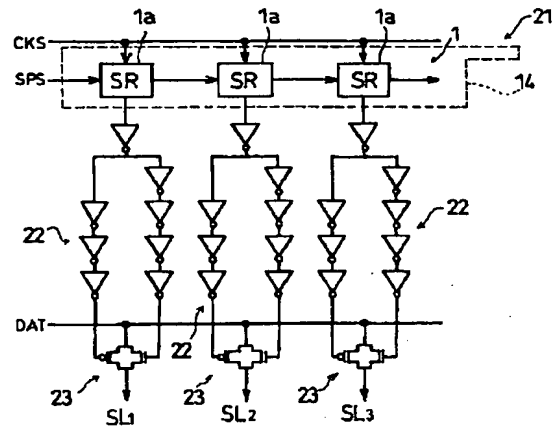
【図3】



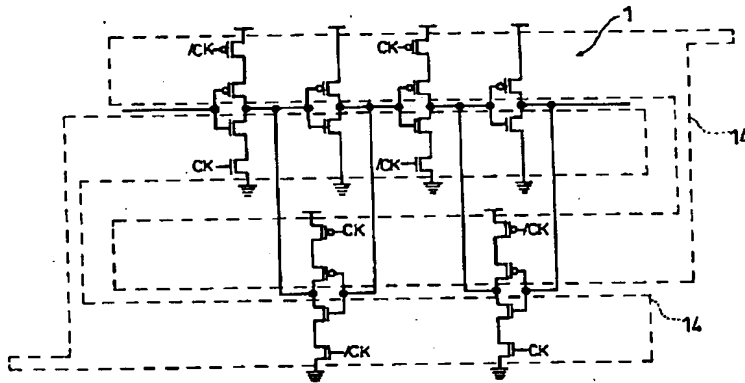
【図4】



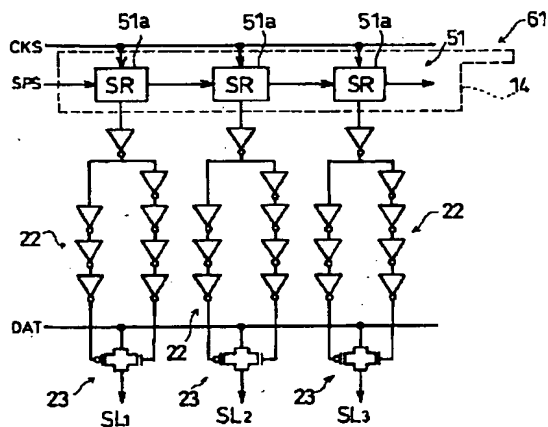
【図7】



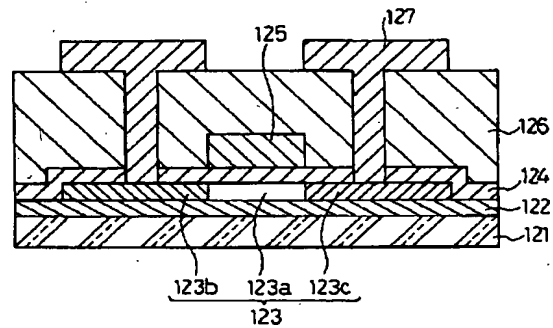
【図6】



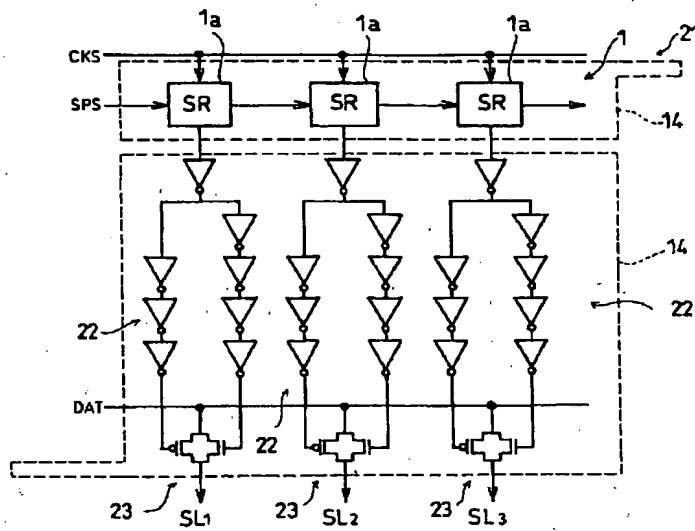
【図10】



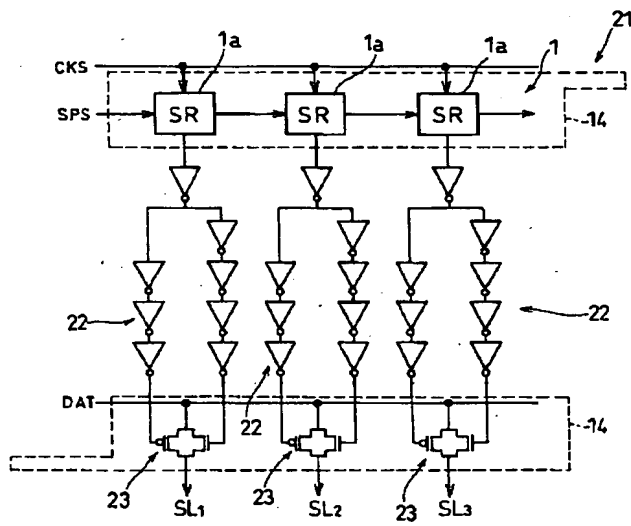
【図23】



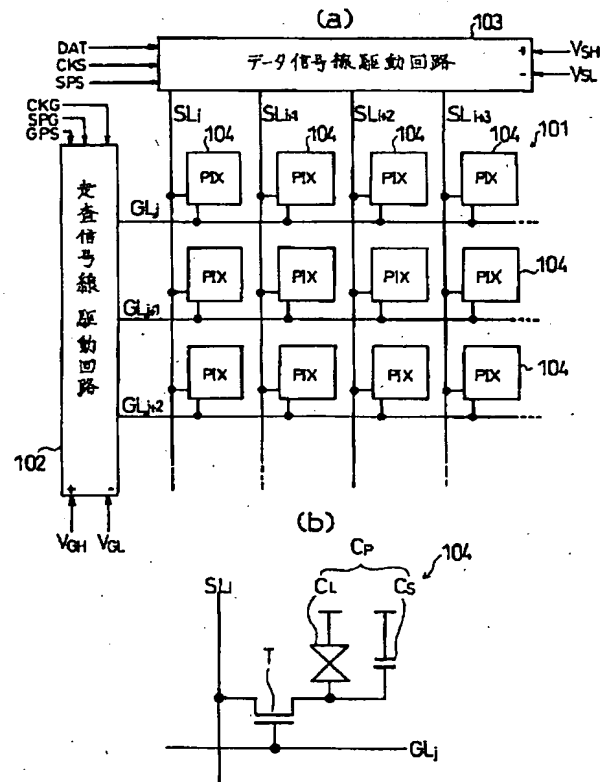
【図8】



【図9】

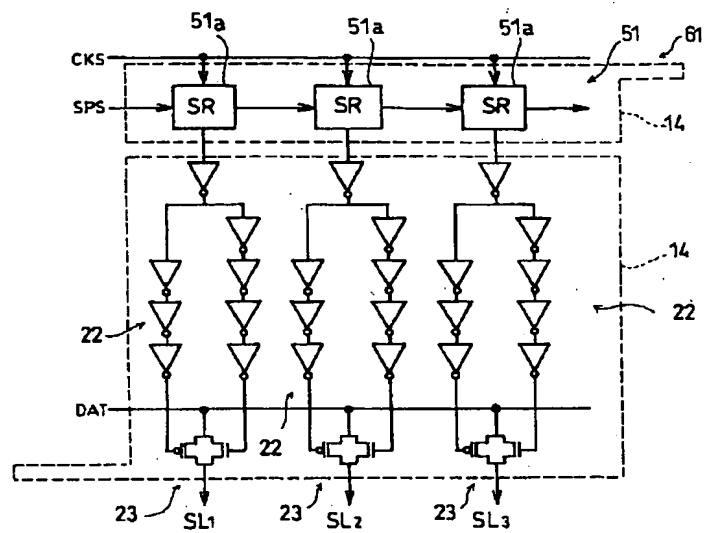


【図19】

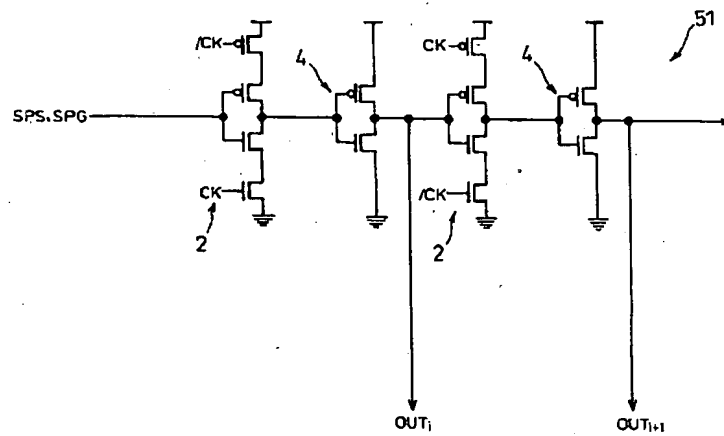




【図 1 1】

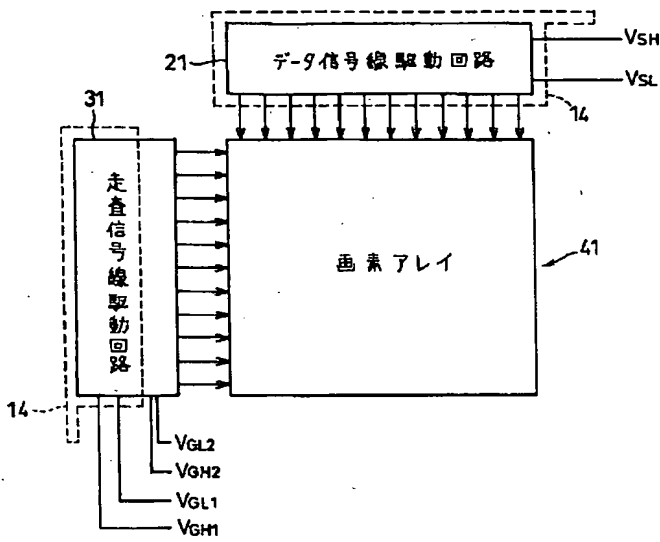


【図12】

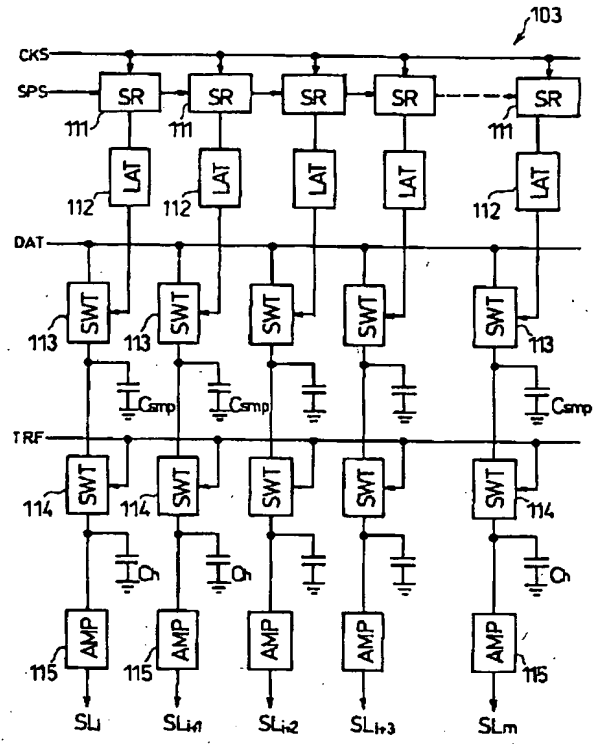




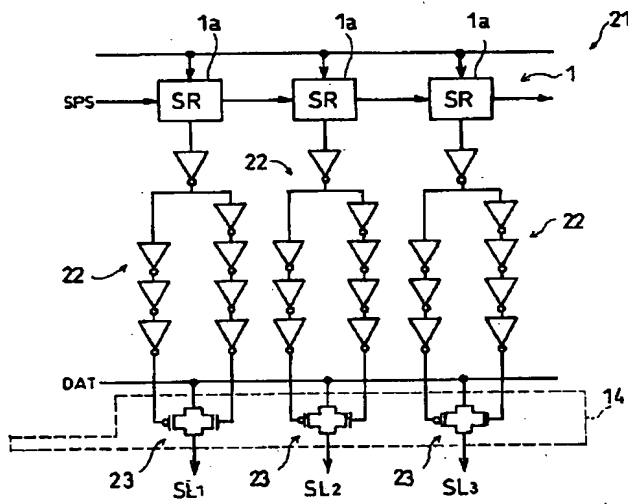
【図15】



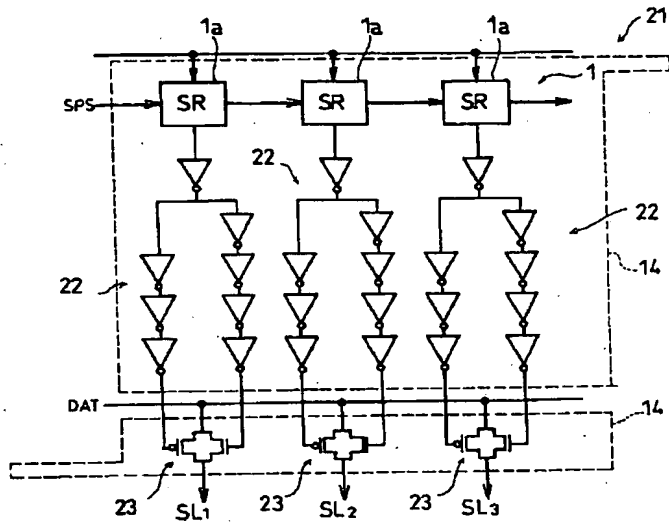
【図21】



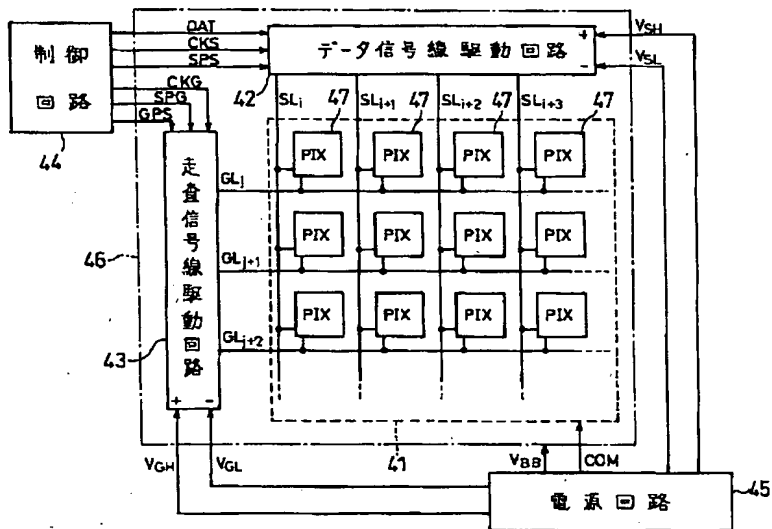
【図16】



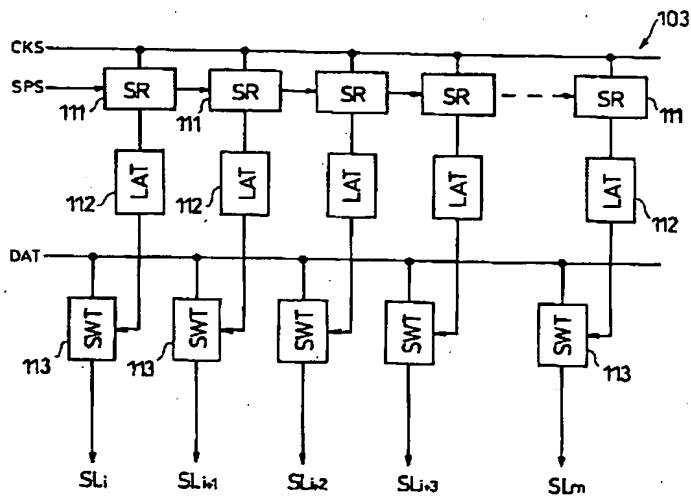
【图 17】



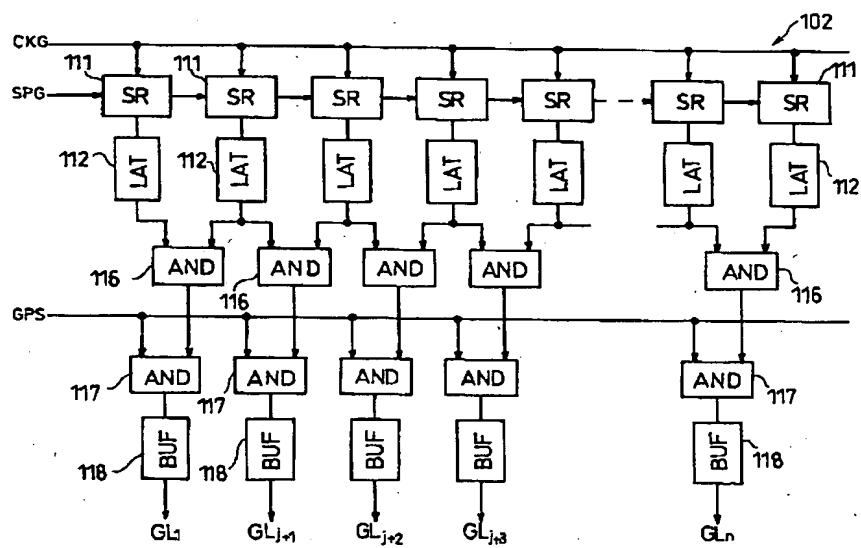
【図 18】



【図20】



【図22】



フロントページの続き

(72)発明者 諸沢 成浩

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内